

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0009139  
Application Number

출원년월일 : 2003년 02월 13일  
Date of Application FEB 13, 2003

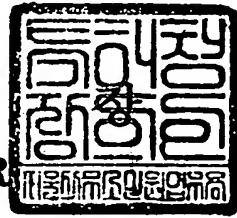
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 07 월 15 일



특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.02.13
【국제특허분류】	H01L
【발명의 명칭】	선택적 에피택셜 성장을 이용한 반도체 소자의 국부 배선 형성 방법 Fabrication method of local interconnection using selective epitaxial growth
【발명의 영문명칭】	
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	최진호
【성명의 영문표기】	CHOI, Jin Ho
【주민등록번호】	750510-1663620
【우편번호】	442-191
【주소】	경기도 수원시 팔달구 우만1동 우만주공4단지아파트 408-609
【국적】	KR
【발명자】	
【성명의 국문표기】	오한수
【성명의 영문표기】	OH, Han Su
【주민등록번호】	680326-1452711

【우편번호】 442-740  
【주소】 경기도 수원시 팔달구 영통동 황골마을주공1단지아파트  
108-903  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 2 면 2,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 8 항 365,000 원  
【합계】 396,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에 따른 국부 배선 형성 방법에서는 국부 배선이 형성되어야 할 영역으로 선택적 에피택셜 성장 시드층이 없는 영역 위에 선택적 에피택셜 성장 시드층 패턴을 형성한 후, 선택적 에피택셜 성장을 실시하고, 형성된 선택적 에피택셜층의 저항을 낮추어 국부 배선을 완성한다. 단순하고 용이한 공정으로 국부 배선을 형성할 수 있다.

**【대표도】**

도 4

**【색인어】**

선택적 에피택셜 성장, 국부 배선, SiON, SRAM

**【명세서】****【발명의 명칭】**

선택적 에피택셜 성장을 이용한 반도체 소자의 국부 배선 형성 방법{Fabrication method of local interconnection using selective epitaxial growth}

**【도면의 간단한 설명】**

도 1은 완전 CMOS SRAM의 등가회로도이다.

도 2는 도 1의 완전 CMOS SRAM을 제조하기 위한 활성 영역 패턴, 게이트 전극 패턴 및 각 배선을 도시한 레이아웃이다.

도 3 내지 도 7은 트랜지스터의 소오스/드레인과 인접 트랜지스터의 소오스/드레인을 연결하기 위한 국부 배선을 제조하는 방법을 설명하기 위한 단면도들이다.

도 8 내지 도 10은 트랜지스터의 소오스/드레인과 인접 트랜지스터의 게이트를 연결하기 위한 국부 배선을 제조하는 방법을 설명하기 위한 단면도들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

100 : 반도체 기판      STI : 얇은 트렌치 소자 분리 영역

G : 게이트      S : 스페이서

140 : 선택적 에피택셜 성장 시드층 150 : 선택적 에피택셜층

160 : 고용점 금속층      LI : 국부 배선

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 국부 배선을 포함하는 반도체 소자의 제조 방법에 관한 것이다.

<11> 반도체 소자의 크기 및 디자인룰(design rule)이 점차 축소되어 미세화됨에 따라 소자의 집적도가 증가되고 있으며, 반도체 소자를 구성하는 중요한 요소인 MOSFET (metal oxide semiconductor field effect transistor)의 스케일도 점차 축소되고 있다. 그러나, MOSFET의 스케일 축소는 게이트 유효 채널 길이를 감소시켜 소스와 드레인 사이의 편치쓰루 (punch through) 및 단채널 효과 (short channel effect)를 유발시킨다. 이러한 편치쓰루 및 단채널 효과를 개선하기 위하여 엘리베이티드 소오스/드레인(elevated source/drain) 기술이 도입되고 있다. 또, 효율적인 회로 레이아웃을 위하여 국부 배선이 사용되고 있다.

<12> 미국특허 제5,893,741호 및 일본공개특허 2000-114262호에 엘리베이티드 소오스/드레인 및 국부 배선의 형성 방법이 개시되어 있다.

<13> 미국특허 제5,893,741호는 로드-락(load-lock) LPCVD-Si 방법에 의해 노출된 소오스/드레인 영역 위에는 단결정 실리콘막을 산화막 및 폴리 게이트 상에는 다결정 실리콘막을 형성한 후, 국부 배선이 형성될 영역 이외에 형성된 다결정 실리콘막을 식각한 후, 실리사이드화 공정(silicidation)을 실시하여 실리사이드화된 국부 배선과 실리사이드화된 소오스/드레인을 형성한다.

<14> 일본공개특허 2000-114262호는 게이트 전극을 피복하는 절연막을 형성한 후, 비정질 실리콘막을 전면에 형성하고, 비정질 실리콘막을 어닐링하여 선택적 에피택셜층을 형성한 후, 국부 배선이 형성될 영역 이외의 비정질 실리콘막을 제거하고, 실리사이드화 공정을 실시하여 실리사이드화된 국부 배선과 실리사이드화된 소오스/드레인을 형성한다.

<15> 그런데, 제5,893,741호에서는 국부 배선이 형성될 영역 이외의 단결정 실리콘을 제거할 때, 소오스/드레인 상의 단결정 실리콘은 손상시키지 않고 단결정 실리콘만을 선택적으로 제거하여야 하고, 일본공개특허 2000-114262호에서도 국부 배선이 형성될 영역 이외의 비정질 실리콘을 제거할 때, 소오스/드레인 상의 단결정 실리콘은 손상시키지 않고 비정질 실리콘만을 선택적으로 제거하여야 한다.

<16> 그러나, 현실적으로, 단결정 실리콘은 손상시키지 않고 단결정 실리콘 또는 비정질 실리콘만을 선택적으로 제거하는 것이 어렵기 때문에 상기 특허들에 개시되어 있는 방법 적용에 한계가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 단순화되고 적용이 용이한 국부 배선을 포함하는 반도체 소자의 제조 방법을 제공하고자 하는 것이다.

#### 【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 국부 배선을 포함하는 반도체 소자의 제조 방법에 따르면, 국부 배선이 형성되어야 할 영역으로 선택적 에피택셜 성장 시드층이 없는 영역 위에 선택적 에피택셜 성장 시드층 패턴을 형성한다. 이어서,

선택적 에피택셜 성장을 실시하고, 형성된 선택적 에피택셜층의 저항을 낮추어 국부 배선을 완성한다.

<19> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<20> 이하 첨부한 도면을 참조하여 본 발명에 따른 국부 배선을 포함하는 반도체 소자의 제조 방법에 관한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 각 층 및 물질들의 모양 및 두께는 설명의 편의를 위하여 과장 또는 개략화된 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 부재를 지칭한다.

<21> 이하 실시예들에서는 국부 배선을 포함하는 반도체 소자의 일 예로 SRAM(Static Random Access Memory)을 예로 들어 설명한다. SRAM의 경우 국부 배선은 인접하는 트랜지스터들간의 소오스/드레인을 연결하거나, 인접하는 트랜지스터들간의 소오스/드레인과 게이트를 연결하기 위해 사용되는 배선을 지칭한다.

<22> 도 1은 완전(full) CMOS SRAM의 등가회로도이다. 완전 CMOS SRAM의 1 셀은 2 개의 PMOS 트랜지스터와 4개의 NMOS 트랜지스터로 구성된다. 완전 CMOS SRAM은 공정이 단순하고, 스탠바이 전류(stand-by current)가 적고, 저전압 동작(low Vcc operation)이 가능하고, 소프트 에러 내성(soft error immunity)이 좋아서 다양한 모바일 기기, 다양한 디스크 드라이버 등에 널리 사용된다. 도 1에서 WL은 워드 라인을, BL 및 /BL은 비트라인을, Vcc 라인은 전원전압 라인을, Vss 라인은 그라운드 라인을 각각 나타낸다.

<23> 도 2는 도 1의 완전 CMOS SRAM을 제조하기 위한 활성 영역 패턴, 게이트 전극 패턴 및 각 배선을 동시에 도시한 레이아웃이다. 점선으로 표시된 사각형이 1 셀을 한정한다. 110은 활성 영역 패턴을, 120은 게이트 패턴을, LI1 과 LI3는 트랜지스터의 소오스/드레인과 인접 트랜지스터의 소오스/드레인을 연결하기 위한 국부 배선을 LI2 와 LI4는 트랜지스터의 소오스/드레인과 인접 트랜지스터의 게이트를 연결하기 위한 국부 배선을 각각 나타낸다.

<24> 도 3 내지 도 7는 트랜지스터의 소오스/드레인과 인접 트랜지스터의 소오스/드레인을 연결하기 위한 국부 배선(LI1, LI3)를 제조하는 방법을 설명하기 위한 단면도들이다.

<25> 도 3을 참조하면, 활성 영역 패턴(도 2의 110)을 정의하는 마스크를 사용하여 반도체 기판(100)을 패터닝하여 얇은 트렌치 소자 분리 영역(STI)을 형성한다. 먼저, 반도체 기판(100)을  $300\text{ \AA}$  내지  $10000\text{ \AA}$  깊이로 식각하여 트렌치(111)를 형성한다. 이어서, 트렌치(111)를 형성하기 위한 건식 식각 공정에 의해 반도체 기판(100)이 받은 손상을 회복시키기 위하여 열처리 공정을 실시하여 열산화막(미도시)을 형성한다. 계속해서, 스트레스 완충막(stress-buffer layer)으로 질화막 라이너(미도시)를  $40$  내지  $50\text{ \AA}$  두께로 형성한 후, 트렌치(111) 내부를 절연막(115)으로 매립한 후, 절연막(115)의 막질을 치밀하게 하기 위한 열처리 공정을 실시한다. 이어서 절연막을 화학 기계적 폴리싱 공정 또는 에치백 공정으로 평탄화하여 STI를 완성하여 활성 영역을 정의한다.

<26> 이어서, STI에 의해 정의된 활성 영역 상에 게이트 산화막(122) 및 폴리실리콘막(124)을 차례대로 적층한 후, 게이트 패턴(도 2의 120)이 정의되어 있는 마스크를 사용하여 폴리실리콘막(124) 및 게이트 산화막(122)을 패터닝하여 게이트(G)를 형성한다. 이

어서, LDD(lightly doped drain) 영역(130) 형성을 위한 이온 주입을 실시한 후, 게이트(G) 측벽에 절연 스페이서(S)를 형성한다. LDD 영역 형성을 위한 이온 주입은 비소(Arsenic) 이온을  $1E14$  내지  $1e15$  농도로 20 내지 40 KeV로 주입하여 실시한다. 계속해서, 결과물 전면에 선택적 에피택셜 성장 시드층(140)을 형성한다. 선택적 에피택셜 성장 시드층(140)으로는  $Six0yNz$ 층을 형성할 수 있다.  $Six0yNz$ 막의 경우 효과적인 시드층으로 작용하기 위해서는 x는 55, y는 15, z는 30 인 것이 바람직하다.

<27>        도 4를 참조하면, 선택적 에피택셜 성장 시드층(140)을 패터닝하여 국부 배선이 형성되어야 하나 선택적 에피택셜 성장 시드층이 없는 절연 영역, 예컨대 STI 영역 위에만 선택적 에피택셜 성장 시드층 패턴(140P)을 형성한다.

<28>        이어서, 선택적 에피택셜층(150)을 형성한다. 진공 챔버내에 기판(100)을 로딩한 후, 챔버 내의 온도를 850 내지 950°C로 하고, Si 소스 가스, 예를 들면 SiH4 또는 Si2H6 가스를 1분 내지 2분간 공급하면, 활성 영역을 구성하는 실리콘 기판(100), 선택적 에피택셜 성장 시드층 패턴(140P) 상부 및 게이트(G) 상부에만 선택적 에피택셜층(150)이 형성되고, 절연 스페이서(S) 상에는 선택적 에피택셜층이 형성되지 않는다. 이어서, 선택적 에피택셜층(150)의 저항을 낮추어 도전성을 띠도록 하기 위한 이온 주입(155)을 실시하여 국부 배선(LI1, LI3)을 형성한다. 이온 주입(155)은 인(phosphorous) 이온을  $1E12$  내지  $1E13$  농도로 20 내지 50 KeV로 주입하거나, 비소(Arsenic) 이온을  $1e14$  내지  $1e15$  농도로 20 내지 40 KeV로 주입한다.

<29>        이어서, 도 5에 도시되어 있는 바와 같이, 소오스/드레인 영역 형성을 위한 이온 주입(157)을 실시한다. 이온 주입(157)은 비소(Arsenic) 이온을  $1e14$  내지  $1e15$  농도로 20 내지 40 KeV로 주입한다.

<30> 도 6을 참조하면, 기판(100) 전면에 고용점 금속층(160)을 형성한다. 고용점 금속으로는 코발트(Co), 티타늄(Ti), 니켈(Ni), 백금(Pt), 텅스텐(W), 몰리브덴(Mo) 등을 예로 들 수 있다.

<31> 이어서, 도 7에 도시되어 있는 바와 같이, 다양한 금속 열처리(RTA)를 통하여 실리사이드화를 진행한 후, 미반응 고용점 금속층(160)을 제거한다. 그 결과 실리사이드화된 소오스/드레인을 연결하는 국부 배선(LI1, LI3)과 실리사이드화된 게이트를 완성한다. 실리사이드화에 의해 국부 배선(LI1, LI3)의 저항을 보다 효과적으로 낮출 수 있다.

<32> 본 실시예에서는 소오스/드레인 형성을 위한 이온 주입(157)을 선택적 에피택셜층(150)을 형성한 후에 진행하였으나, 선택적 에피택셜층(150) 형성 전후 언제라도 가능하다. 예를 들면, 게이트(G) 측벽에 절연 스페이서(S)를 형성한 직후에 소오스/드레인 형성을 위한 이온 주입(157)을 할 수도 있다.

<33> 또, 본 실시예에서는 선택적 에피택셜층에 이온 주입을 하고 실리사이드화하여 국부 배선(LI1, LI3)을 완성하였으나, 선택적 에피택셜층에 이온을 주입하는 것만으로도 국부 배선으로 사용할 수 있으며, 이온 주입 없이 실리사이드화하는 것만으로도 국부 배선으로 사용할 수 있다.

<34> 도 8 내지 도 10은 트랜지스터의 소오스/드레인과 인접 트랜지스터의 게이트를 연결하기 위한 국부 배선(LI2, LI4)를 제조하는 방법을 설명하기 위한 단면도들이다. 인접하는 트랜지스터의 소오스/드레인을 연결하기 위한 국부 배선(LI1, LI3)의 제조 방법에 서와 동일한 공정에 대해서는 그 설명을 생략한다.

<35> 도 8을 참조하면, STI, 게이트(G) 및 측벽 스페이서(S)가 형성되어 있는 반도체 기판(100) 전면에 절연막을 형성한 후, 이를 패터닝하여 트랜지스터의 소오스/드레인과 인접 트랜지스터의 게이트(G)를 노출시키는 절연막 패턴(128P)을 형성한다. 계속해서, 절연막 패턴(128P)이 형성되어 있는 기판(100) 전면에 선택적 에피택셜 성장 시드층(140)을 형성한다. 선택적 에피택셜 성장 시드층(140)으로는  $SixOyNz$ 층을 형성할 수 있다.  $SixOyNz$ 막의 경우 효과적인 시드층으로 작용하기 위해서는 x는 55, y는 15, z는 30인 것이 바람직하다.

<36> 도 9를 참조하면, 선택적 에피택셜 성장 시드층(140)을 패터닝하여 절연막 패턴(128P) 상에 선택적 에피택셜 성장 시드층 패턴(140P)을 형성한다.

<37> 이어서, 도 10에 도시되어 있는 바와 같이 활성 영역을 구성하는 실리콘 기판(100), 선택적 에피택셜 성장 시드층 패턴(140P) 상부 및 노출된 게이트(G) 상부에 선택적 에피택셜층을 형성한 후 이의 저항을 낮추어 트랜지스터의 게이트와 이와 인접한 트랜지스터의 소오스/드레인을 연결하는 국부 배선(LI2, LI4)을 형성한다. 에피택셜층의 저항을 낮추는 방법으로는 적절한 이온주입, 실리사이드화 또는 이들의 조합을 사용할 수 있다.

<38> 이상 트랜지스터의 소오스/드레인과 인접 트랜지스터의 소오스/드레인을 연결하는 국부 배선(LI1, LI3)을 형성하는 실시예와 트랜지스터의 소오스/드레인과 인접 트랜지스터의 게이트를 연결하는 국부 배선(LI2, LI4)을 형성하는 실시예를 따로 설명하였으나, 이들을 적절히 결합하여 가장 단순화된 공정으로 SRAM 소자의 국부 배선들(LI1 내지 LI4)을 형성하는데 사용할 수 있음은 당업자에게 자명하다 할 것이다.

<39> 이상 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 각 막들의 두께, 크기, 구성 물질, 이들의 형성방법 등은 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

#### 【발명의 효과】

<40> 본 발명에 따르면 단순하고 용이한 방법으로 국부 배선을 형성할 수 있다. 또, 국부 배선의 형성과 함께 엘리베이티드 소오스/드레인을 동시에 형성함으로써 트랜지스터의 편치쓰루 및 단채널 효과를 개선할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 국부 배선이 형성되어야 할 영역으로 선택적 에피택셜 성장 시드 층이 없는 영역 위에 선택적 에피택셜 성장 시드층 패턴을 형성하는 단계;

상기 결과물에 대하여 선택적 에피택셜 성장을 실시하여 선택적 에피택셜층을 형성하는 단계; 및

상기 선택적 에피택셜층의 저항을 낮추어 상기 국부 배선으로 완성하는 단계를 포함하는 것을 특징으로 하는 국부 배선을 포함하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1항에 있어서, 상기 선택적 에피택셜 성장 시드층 패턴을 형성하는 단계 전에 상기 반도체 기판에 얇은 트렌치 소자 분리 영역을 형성하여 활성 영역을 정의하는 단계;

상기 활성 영역 상에 각각 게이트를 형성하는 단계; 및

상기 게이트 측벽에 스페이서를 형성하는 단계를 더 구비하고,

상기 선택적 에피택셜 성장 시드층 패턴을 형성하는 단계는

상기 얇은 트렌치 소자 분리 영역 상에 상기 선택적 에피택셜 성장 시드층 패턴을 형성하는 단계이고,

상기 선택적 에피택셜층을 형성하는 단계는

상기 활성 영역들, 상기 선택적 에피택셜 성장 시드층 패턴, 및 상기 게이트 위에

상기 선택적 에피택셜층을 형성하는 단계이고,

상기 국부 배선은 트랜지스터의 소오스/드레인과 인접 트랜지스터의 소오스/드레인을 연결하는 국부 배선인 것을 특징으로 하는 배선을 포함하는 반도체 소자의 제조 방법.

### 【청구항 3】

제 1항에 있어서, 상기 선택적 에피택셜 성장 시드층 패턴을 형성하는 단계 전에 상기 반도체 기판에 얇은 트렌치 소자 분리 영역을 형성하여 활성 영역을 정의하는 단계;

상기 활성 영역 상에 서로 인접한 제1 및 제2 게이트를 형성하는 단계;  
상기 제1 및 제2 게이트 측벽에 스페이서를 형성하는 단계; 및  
상기 제1 게이트가 형성되어 있는 활성 영역과 상기 제2 게이트를 노출시키는 절연막 패턴을 형성하는 단계를 더 구비하고,

상기 선택적 에피택셜 성장 시드층 패턴을 형성하는 단계는  
상기 절연막 패턴 상에 상기 선택적 에피택셜 성장 시드층 패턴을 형성하는 단계이고,

상기 선택적 에피택셜층을 형성하는 단계는  
상기 제1 게이트가 형성되어 있는 활성 영역, 상기 선택적 에피택셜 성장 시드층 패턴, 및 상기 제2 게이트 위에 상기 선택적 에피택셜층을 형성하는 단계이고,  
상기 국부 배선은 트랜지스터의 소오스/드레인과 인접 트랜지스터의 게이트를 연결하는 국부 배선인 것을 특징으로 하는 배선을 포함하는 반도체 소자의 제조 방법.

**【청구항 4】**

제 1항 내지 제3 항 중 어느 한 항에 있어서, 상기 선택적 에피택셜층의 저항을 낮추어 상기 국부 배선으로 완성하는 단계는,

상기 선택적 에피택셜층에 이온을 주입하여 저항을 낮추는 단계인 것을 특징으로 하는 국부 배선을 포함하는 반도체 소자의 제조 방법.

**【청구항 5】**

제 1항 내지 제3 항 중 어느 한 항에 있어서, 상기 선택적 에피택셜층의 저항을 조절하여 상기 국부 배선을 완성하는 단계는,

상기 선택적 에피택셜층을 실리사이드화하여 저항을 낮추는 단계인 것을 특징으로 하는 국부 배선을 포함하는 반도체 소자의 제조 방법.

**【청구항 6】**

제 1항 내지 제3 항 중 어느 한 항에 있어서, 상기 선택적 에피택셜층의 저항을 조절하여 상기 국부 배선을 완성하는 단계는,

상기 선택적 에피택셜층에 이온을 주입하는 단계; 및  
상기 선택적 에피택셜층을 실리사이드화하는 단계를 포함하는 것을 특징으로 하는  
국부 배선을 포함하는 반도체 소자의 제조 방법.

**【청구항 7】**

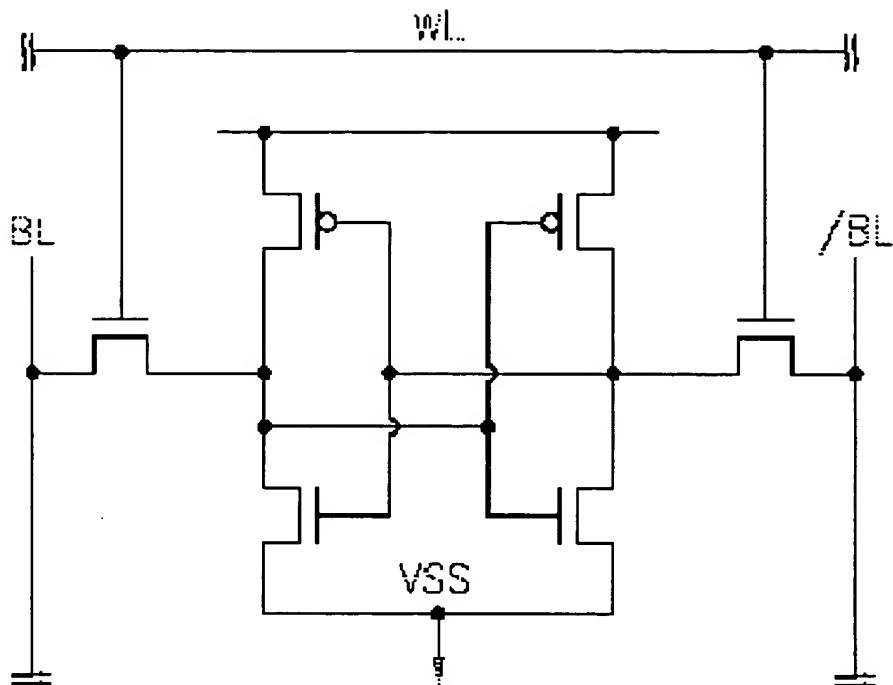
제 1항 내지 제3 항 중 어느 한 항에 있어서, 상기 선택적 에피택셜 성장 시드층  
패턴은  $SixOyNz$ 층 패턴인 것을 특징으로 하는 국부 배선을 포함하는 반도체 소자의 제조  
방법.

**【청구항 8】**

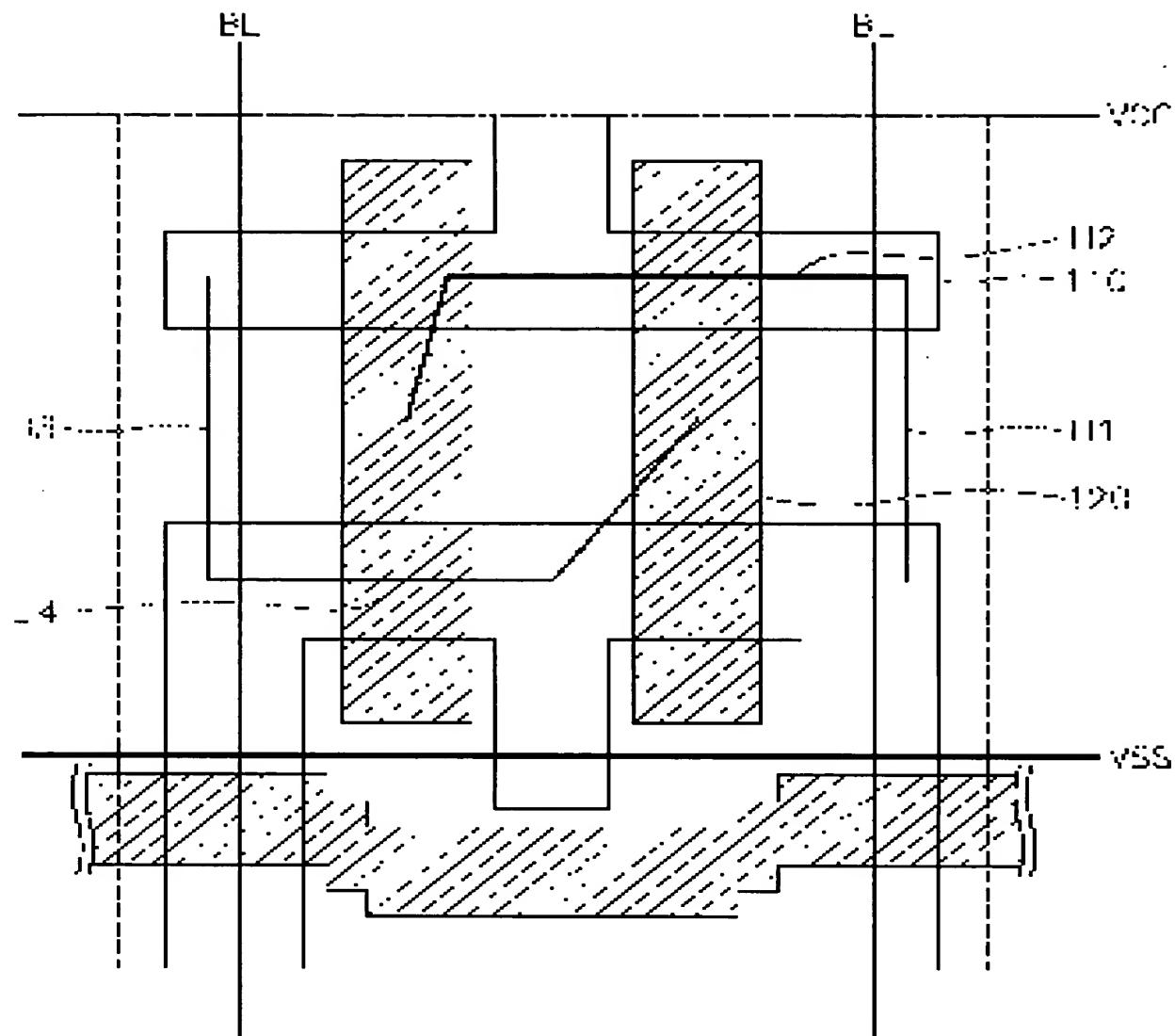
제 7항에 있어서, 상기 선택적 에피택셜 성장 시드층 패턴은  $\text{SixOyNz}$ 층 패턴이고,  $x$ 는 55,  $y$ 는 15,  $z$ 는 30 인 것을 특징으로 하는 국부 배선을 포함하는 반도체 소자의 제조 방법.

## 【도면】

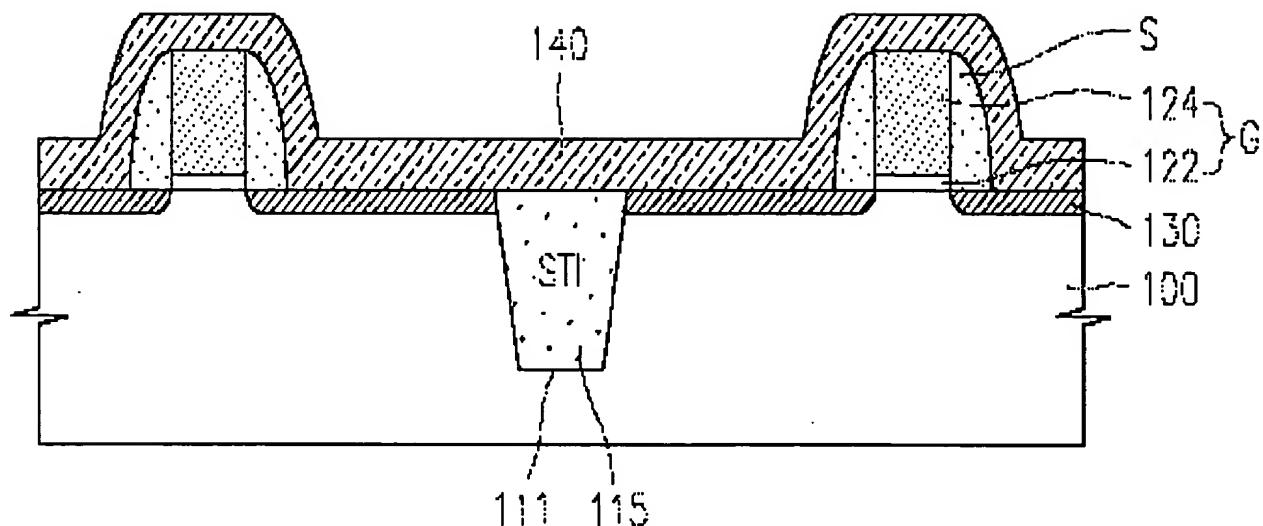
【도 1】



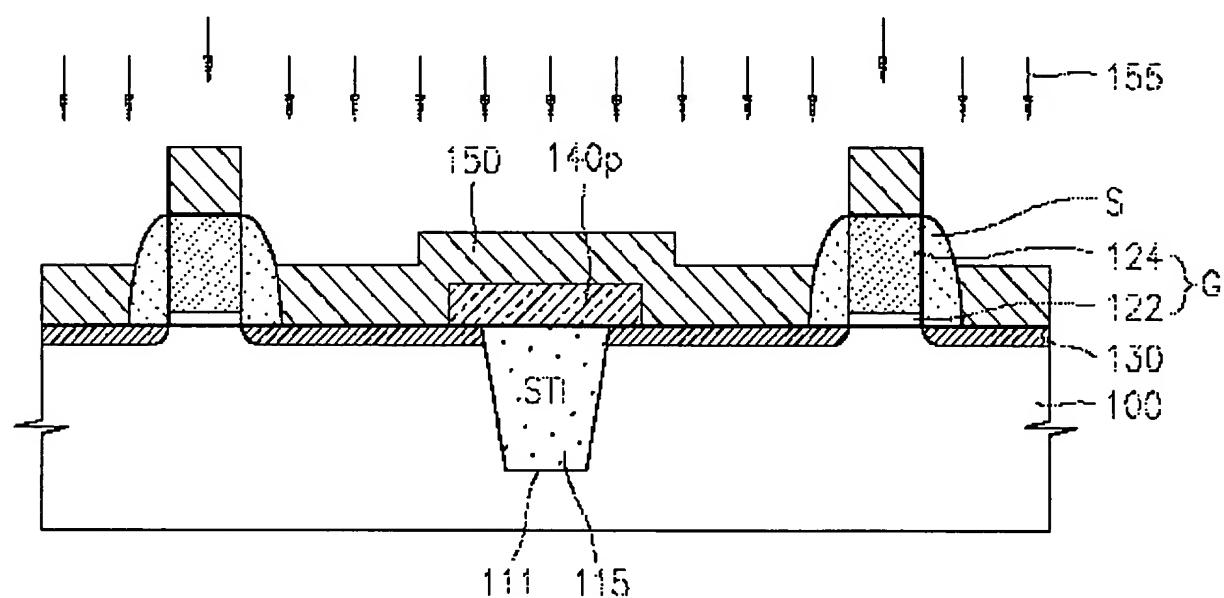
【도 2】



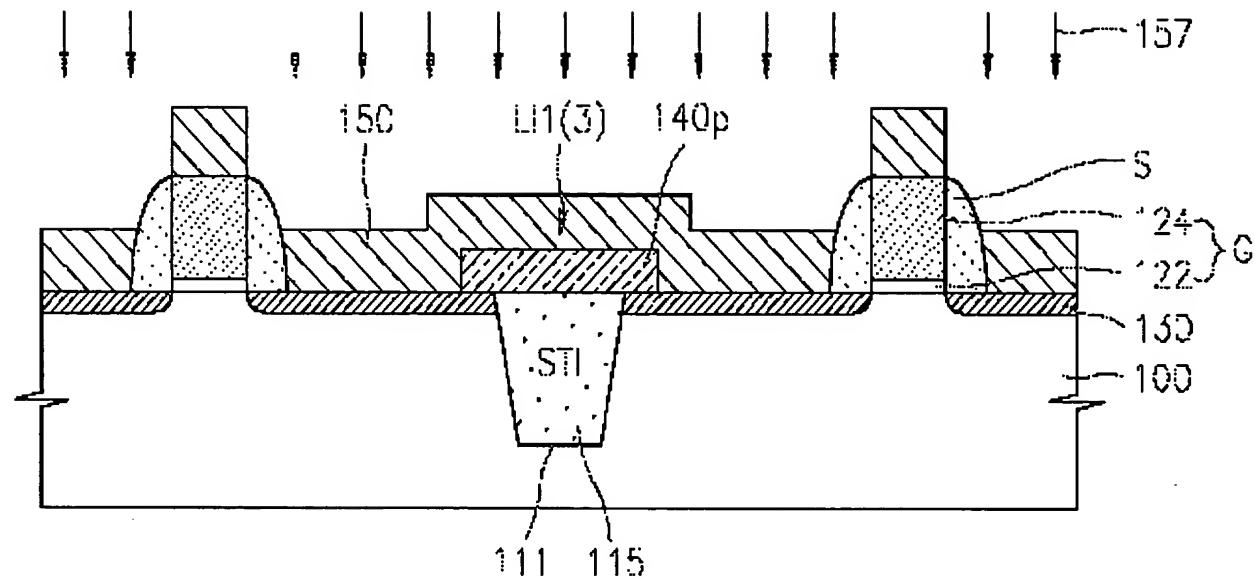
【도 3】



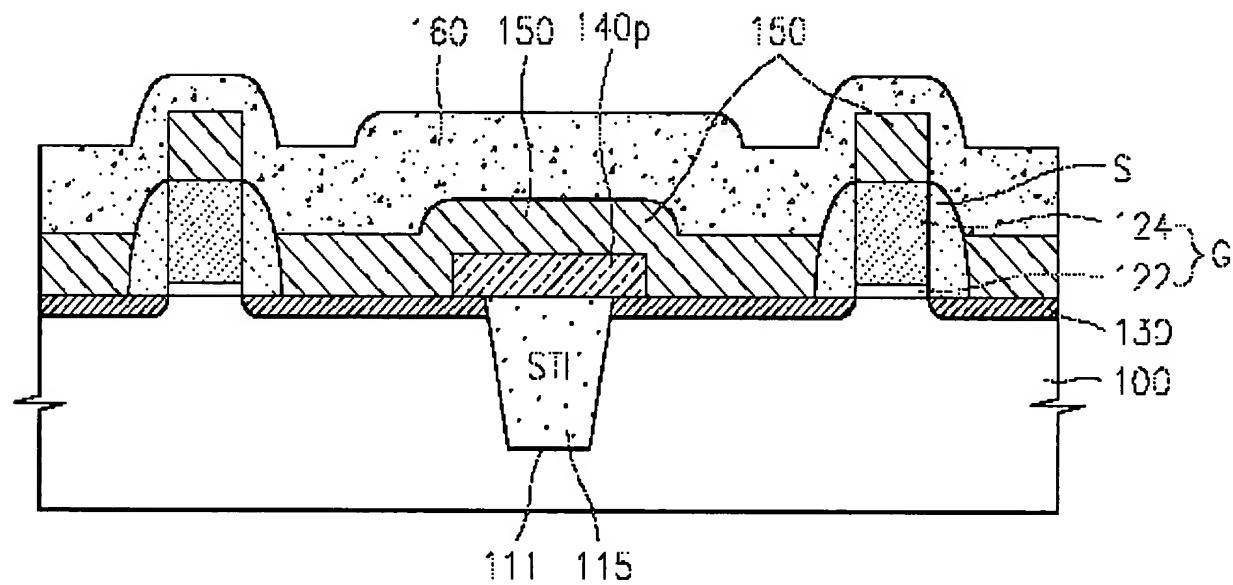
【도 4】



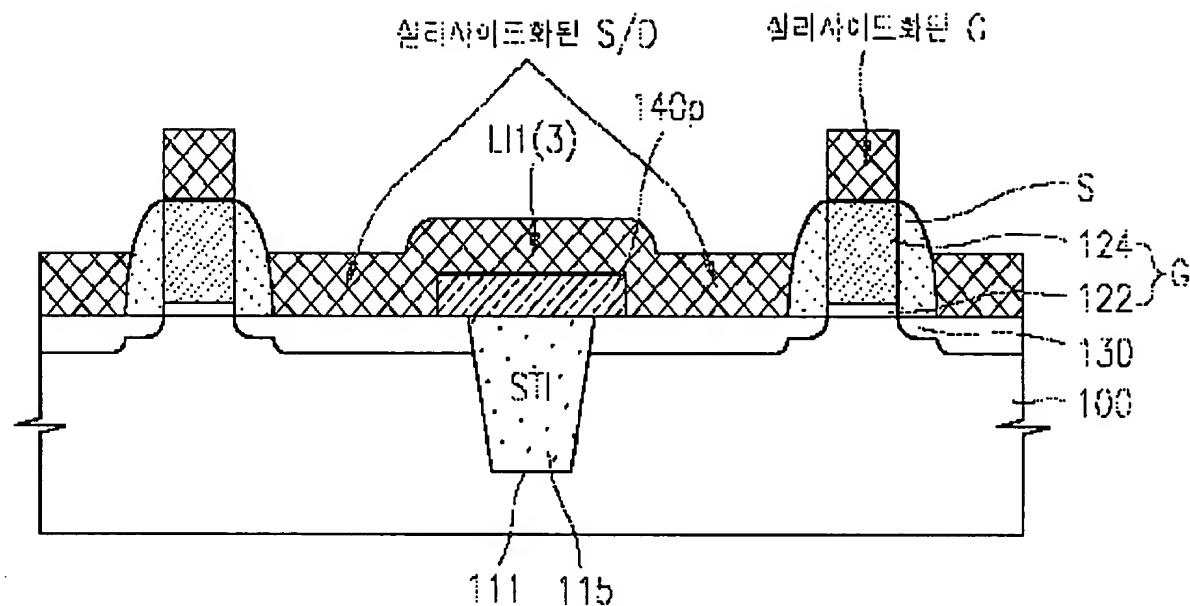
【도 5】



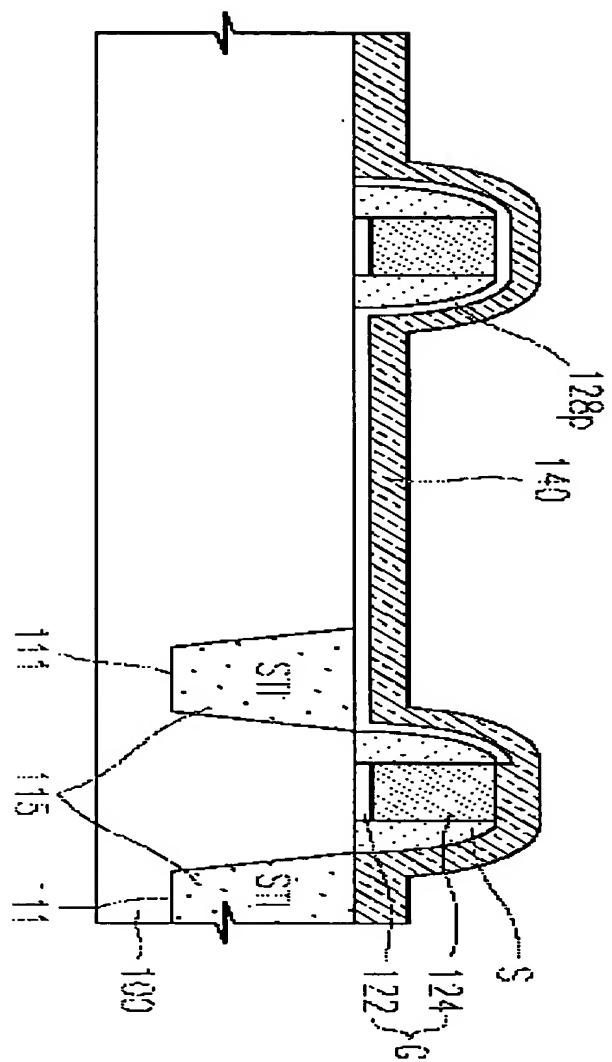
【도 6】



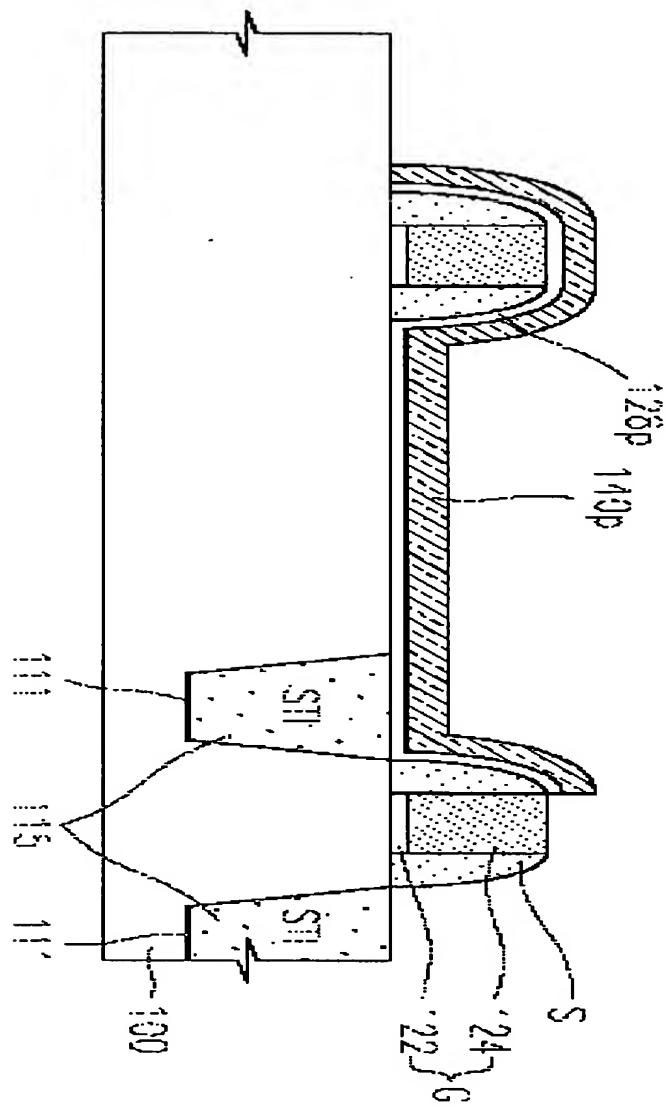
【도 7】



【도 8】



【도 9】



【도 10】

